

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :  
Koji KAI et al. :  
Serial No. NEW : **Attn: APPLICATION BRANCH**  
Filed February 10, 2004 : **Attorney Docket No. 2004\_0169A**  
INTEGRATED CIRCUIT AND ELECTRIC :  
DEVICE USING THEREOF :

---

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED  
TO CHARGE ANY DEFICIENCY IN THE  
FEES FOR THIS PAPER TO DEPOSIT  
ACCOUNT NO. 23-0975

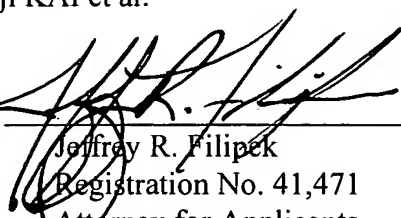
Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-042438, filed February 20, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Koji KAI et al.

By   
Jeffrey R. Filipek  
Registration No. 41,471  
Attorney for Applicants

JRF/fs  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
February 10, 2004

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月20日  
Date of Application:

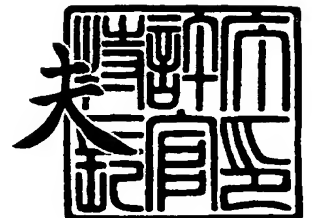
出願番号 特願2003-042438  
Application Number:  
[ST. 10/C]: [JP 2003-042438]

出願人 松下電器産業株式会社  
Applicant(s):

特許庁長官  
Commissioner,  
Japan Patent Office

2003年 8月12日

今井 康夫



出証番号 出証特2003-3064856

【書類名】 特許願

【整理番号】 2038240116

【提出日】 平成15年 2月20日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/00  
G06F 3/14  
G06F 3/05

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 甲斐 康司

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 片岡 知典

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 東島 勝義

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097179

【弁理士】

【氏名又は名称】 平野 一幸

【手数料の表示】

【予納台帳番号】 058698

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0013529

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 集積回路及びそれを用いた電子機器

【特許請求の範囲】

【請求項1】 バスと、

前記バスに接続される第1のメモリと、

前記バスを介して前記第1のメモリにアクセスする第1の処理ユニットと、

前記バスを介して前記第1のメモリにアクセスし、かつ、前記第1の処理ユニットよりも多くのデータの処理、及び／又は、多くの演算を実行する第2の処理ユニットと、

前記第2の処理ユニットにより、前記バスを介さずにアクセスされる第2のメモリとを備える、集積回路。

【請求項2】 前記第2の処理ユニットは、画像入力回路、及び／又は、画像表示回路を、有する、請求項1記載の集積回路。

【請求項3】 前記第1の処理ユニットは、圧縮されたオーディオ信号の伸張処理を行い、

前記第2の処理ユニットは、圧縮されたビデオ信号の伸張処理を行い、

前記第2の処理ユニットは、前記第2のメモリに、ビデオ信号の伸張処理過程で生成される参照画像データを格納する、請求項1から2記載の集積回路。

【請求項4】 前記第1の処理ユニットは、オーディオ信号の圧縮処理を行い、

前記第2の処理ユニットは、ビデオ信号の圧縮処理を行い、

前記第2の処理ユニットは、前記第2のメモリに、ビデオ信号の圧縮処理過程で生成される参照画像データを格納する、請求項1から2記載の集積回路。

【請求項5】 前記第1の処理ユニットは、ビットストリームからオーディオ信号とビデオ信号とを分離する処理、及び／又は、オーディオ信号とビデオ信号とをビットストリームに多重化する処理を実行する、請求項1から4記載の集積回路。

【請求項6】 前記第2の処理ユニットは、コンピュータグラフィクス画像を生成する処理を実行する、請求項1から5記載の集積回路。

【請求項7】 前記第1の処理ユニット、及び／又は、前記第2の処理ユニット



を、制御する制御ユニットを有する、請求項 1 から 6 記載の集積回路。

【請求項 8】バスと、

前記バスに接続される第 1 のメモリと、

前記バスを介して前記第 1 のメモリにアクセスする第 1 の処理ユニットと、

前記バスを介して前記第 1 のメモリにアクセスし、かつ、前記第 1 の処理ユニットよりも多くのデータの処理、及び／又は、多くの演算を実行する第 2 の処理ユニットと、

前記第 2 の処理ユニットにより、前記バスを介さずにアクセスされる第 2 のメモリとを有し、

前記第 1 の処理ユニットは、圧縮されたオーディオ信号の伸張処理を行い、

前記第 2 の処理ユニットは、圧縮されたビデオ信号の伸張処理を行い、かつ、伸張したビデオ信号に基づいて画像表示信号を生成し、

前記第 2 の処理ユニットは、前記第 2 のメモリに、ビデオ信号の伸張処理過程で生成される参照画像データを格納する

集積回路と、

前記第 1 の処理ユニットが伸張したオーディオ信号をアナログオーディオ信号に変換する変換器とを備える、電子機器。

【請求項 9】前記集積回路は、前記第 1 の処理ユニット、及び／又は、前記第 2 の処理ユニットを、制御する制御ユニットを有する、請求項 8 記載の電子機器。

【請求項 10】前記画像表示回路が生成した画像表示信号を入力して画像を表示する表示デバイスと、

前記変換器が出力するアナログオーディオ信号を入力して発音する再生デバイスとを備える、請求項 8 から 10 記載の電子機器。

【請求項 11】前記第 2 の処理ユニットは、コンピュータグラフィクス画像を生成する処理を実行する、請求項 8 から 10 記載の集積回路。

【請求項 12】カメラと、マイクと、集積回路と、変換器とを備え、

前記集積回路は、

バスと、



前記バスに接続される第 1 のメモリと、  
前記バスを介して前記第 1 のメモリにアクセスする第 1 の処理ユニットと、  
前記バスを介して前記第 1 のメモリにアクセスし、かつ、前記第 1 の処理ユニットよりも多くのデータの処理、及び／又は、多くの演算を実行する第 2 の処理ユニットと、

前記第 2 の処理ユニットにより、前記バスを介さずにアクセスされる第 2 のメモリとを有し、

前記第 1 の処理ユニットは、オーディオ信号の圧縮処理を行い、

前記第 2 の処理ユニットは、前記カメラの出力を入力してビデオ信号を生成し、かつ、このビデオ信号の圧縮処理を行い、

前記第 2 の処理ユニットは、前記第 2 のメモリに、ビデオ信号の圧縮処理過程で生成される参照画像データを格納し、

前記変換器は、前記マイクの出力を入力してオーディオ信号を生成し、このオーディオ信号を前記第 1 の処理ユニットへ出力する、電子機器。

【請求項 1 3】 前記第 2 の処理ユニットは、コンピュータグラフィクス画像を生成する処理を実行する、請求項 1 2 記載の電子機器。

【請求項 1 4】 前記集積回路は、前記第 1 の処理ユニット、及び／又は、前記第 2 の処理ユニットを、制御する制御ユニットを有する、請求項 1 2 または 1 3 記載の電子機器。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

##### 【発明の属する技術分野】

本発明は、集積回路及びそれを用いた電子機器に関し、特に、集積回路が複数のプロセッサを有し、これらのプロセッサがバスを介して共用のメモリにアクセスする際の技術改良に関するものである。

##### 【0 0 0 2】

##### 【従来の技術】

近年、ビデオ、オーディオ及びその他の各種のデータからなる、マルチメディアデータを、電子機器で取り扱う機会が増えている。この電子機器では、それに

実装された、専用あるいは汎用のプロセッサが、マルチメディアデータを処理している。

#### 【0003】

ここで、プロセッサの性能が極めて高く、また、その消費電力の大小が問われないならば、単一の高性能プロセッサのみで、必要な処理の全てを実行することも可能であろう。

#### 【0004】

しかしながら、特に、可搬性が重視される電子機器（例えば、携帯電話、PDA、デジタルビデオカメラ、デジタルスチルカメラなど）では、電池駆動が主流であり、さらなる、小型・軽量化及び高性能化のため、消費電力の抑制と処理能力の向上を、両立させることが、望まれている。

#### 【0005】

また、据え置き型の電子機器（例えば、DVDプレーヤ、DVDレコーダ、HDレコーダなど）においても、省資源、省エネルギーのために、同様のことが当てはまる。

#### 【0006】

そして、マルチメディアデータを処理する集積回路について、必要十分な性能と低消費電力とを、両立させるために、非特許文献1では、次のような工夫をした技術が開示されている。

（工夫1）単一のプロセッサのみでは、十分な処理能力を得にくいため、ビデオ信号を処理するプロセッサと、オーディオ信号を処理するプロセッサとを、設けたマルチプロセッサ構成とする。

（工夫2）消費電力の半分以上が、チップ間I/O（In/Ou t）によるものである点に着目し、ビデオ信号を処理するプロセッサと、オーディオ信号を処理するプロセッサの、両方が共用するメモリを、集積回路内部に設け、バスを介して、これらのプロセッサが、共用するメモリにアクセスするようにする。これにより、チップ間I/Oによる消費電力を削減する。

#### 【0007】

次に、図2を参照しながら、従来技術をさらに具体的に説明する。図2は、従



来の集積回路の概略ブロック図である。

**【0008】**

図2に示すように、集積回路1は、その内部に、バス2を有する。バス2には、共用メモリ3が接続される。

**【0009】**

また、ビデオ信号を処理するビデオプロセッサ4、オーディオ信号を処理するオーディオプロセッサ5、ビットストリームに対して、多重化／分離処理を行う多重分離プロセッサ6とを設けた、マルチプロセッサ構成とし、これらのプロセッサ4、5、6を、バス2に接続する。

**【0010】**

そして、各プロセッサ4、5、6は、バス2を介して、共用メモリ3にアクセスし、処理を分担しながら、協調しつつ並行して処理を実行する。

**【0011】**

この構成によると、共用メモリ3は、ビデオプロセッサ4、オーディオプロセッサ5、多重分離プロセッサ6の全てからアクセスされるため、バス2に対するアクセスが競合することがある。このとき、バス2は、これらのアクセスを調停することになるが、その結果、アクセスを待たされるプロセッサについて、待ち時間が発生してしまう。

**【0012】**

特に、ビデオプロセッサ4の処理は、オーディオプロセッサ5や多重分離プロセッサ6よりも重いものであり、ビデオプロセッサ4は、高速に、待ち時間なく、共用メモリ3をアクセスできないと、処理が遅延し、一定時間内に担当する処理を完了できなくなることがある。

**【非特許文献1】** 「MPEG-4LSIにおけるシステムLSI技術」 東芝レビュー Vol. 57 No 1 (2002)

**【発明が解決しようとする課題】**

従来技術では、プロセッサ間における、処理負担の軽重について、考慮がなく、全体として、リアルタイム性が失われてしまうことがあった。

**【0013】**

そこで本発明は、消費電力を抑制しながら、リアルタイム性が得やすい集積回路及びその関連技術を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

請求項1記載の集積回路は、バスと、バスに接続される第1のメモリと、バスを介して第1のメモリにアクセスする第1の処理ユニットと、バスを介して第1のメモリにアクセスし、かつ、第1の処理ユニットよりも多くのデータの処理、及び／又は、多くの演算を実行する第2の処理ユニットと、第2の処理ユニットにより、バスを介さずにアクセスされる第2のメモリとを備える。

#### 【0015】

この構成において、より多くのデータの処理、及び／又は、多くの演算を実行する第2の処理ユニットは、第2のメモリを使用することにより、第1のメモリに対するアクセス競合から解放される。即ち、第2の処理ユニットは、アクセス競合に起因する待ち時間なしに、処理を実行でき、集積回路全体としての、リアルタイム性を高く保持できる。

#### 【0016】

また、第1のメモリ及び第2のメモリへのアクセスは、チップ間I/Oを介さずに行われるため、消費電力を低く抑えることができる。

#### 【0017】

請求項3記載の集積回路では、第1の処理ユニットは、圧縮されたオーディオ信号の伸張処理を行い、第2の処理ユニットは、圧縮されたビデオ信号の伸張処理を行い、第2の処理ユニットは、第2のメモリに、ビデオ信号の伸張処理過程で生成される参照画像データを格納する。

#### 【0018】

この構成において、圧縮されたマルチメディアデータのデコーダを実現でき、このデコーダにおいて、処理負担が重いビデオ信号の伸張処理を、アクセス競合に起因する待ち時間なしに、実行でき、集積回路全体としての、リアルタイム性を高く保持できる。

#### 【0019】

請求項4記載の集積回路では、第1の処理ユニットは、オーディオ信号の圧縮処理を行い、第2の処理ユニットは、ビデオ信号の圧縮処理を行い、第2の処理ユニットは、第2のメモリに、ビデオ信号の圧縮処理過程で生成される参照画像データを格納する。

#### 【0020】

この構成において、マルチメディアデータを圧縮するエンコーダを実現でき、このエンコーダにおいて、処理負担が重いビデオ信号の圧縮処理を、アクセス競合に起因する待ち時間なしに、実行でき、集積回路全体としての、リアルタイム性を高く保持できる。

#### 【0021】

請求項5記載の集積回路では、第1の処理ユニットは、ビットストリームからオーディオ信号とビデオ信号とを分離する処理、及び／又は、オーディオ信号とビデオ信号とをビットストリームに多重化する処理を実行する

#### 【0022】

この構成において、処理負担が軽い第1の処理ユニットに、ビットストリームの取り扱いを兼務させ、集積回路をコンパクトに構成できる。

#### 【0023】

請求項6記載の集積回路では、第2の処理ユニットは、コンピュータグラフィクス画像を生成する処理を実行する。

#### 【0024】

この構成において、第2の処理ユニットに、コンピュータグラフィクス画像の取り扱いを兼務させることにより、互いに、関連性が強い、ビデオ信号とコンピュータグラフィクス画像とを、一括して効率よく処理できる。

#### 【0025】

請求項8記載の電子機器は、バスと、バスに接続される第1のメモリと、バスを介して第1のメモリにアクセスする第1の処理ユニットと、バスを介して第1のメモリにアクセスし、かつ、第1の処理ユニットよりも多くのデータの処理、及び／又は、多くの演算を実行する第2の処理ユニットと、第2の処理ユニットにより、バスを介さずにアクセスされる第2のメモリとを有し、第1の処理ユニ

ットは、圧縮されたオーディオ信号の伸張処理を行い、第2の処理ユニットは、圧縮されたビデオ信号の伸張処理を行い、かつ、伸張したビデオ信号に基づいて画像表示信号を生成し、第2の処理ユニットは、第2のメモリに、ビデオ信号の伸張処理過程で生成される参照画像データを格納する集積回路と、第1の処理ユニットが伸張したオーディオ信号をアナログオーディオ信号に変換する変換器とを備える。

#### 【0026】

この構成により、請求項3のデコーダを実装した再生機能を持つ電子機器を実現できる。

#### 【0027】

請求項10記載の電子機器では、画像表示回路が生成した画像表示信号を入力して画像を表示する表示デバイスと、変換器が出力するアナログオーディオ信号を入力して発音する再生デバイスとを備える。

#### 【0028】

この構成により、請求項8の作用効果に加え、再生された画像及び音響をモニタできる電子機器を実現できる。

#### 【0029】

請求項11記載の電子機器では、第2の処理ユニットは、コンピュータグラフィクス画像を生成する処理を実行する。

#### 【0030】

この構成により、互いに、関連性が強い、ビデオ信号とコンピュータグラフィクス画像とを、一括して効率よく処理できる。

#### 【0031】

請求項12記載の電子機器では、カメラと、マイクと、集積回路と、変換器とを備え、集積回路は、バスと、バスに接続される第1のメモリと、バスを介して第1のメモリにアクセスする第1の処理ユニットと、バスを介して第1のメモリにアクセスし、かつ、第1の処理ユニットよりも多くのデータの処理、及び／又は、多くの演算を実行する第2の処理ユニットと、第2の処理ユニットにより、バスを介さずにアクセスされる第2のメモリとを有し、第1の処理ユニットは、

オーディオ信号の圧縮処理を行い、第2の処理ユニットは、カメラの出力を入力してビデオ信号を生成し、かつ、このビデオ信号の圧縮処理を行い、第2の処理ユニットは、第2のメモリに、ビデオ信号の圧縮処理過程で生成される参照画像データを格納し、変換器は、マイクの出力を入力してオーディオ信号を生成し、このオーディオ信号を第1の処理ユニットへ出力する。

#### 【0032】

この構成により、請求項4のエンコーダを実装した記録機能を持つ電子機器を実現できる。

#### 【0033】

##### 【発明の実施の形態】

次に、図面を参照しながら、本発明の実施の形態を説明する。図1は、本発明の一実施の形態における電子機器のブロック図である。

#### 【0034】

本形態では、電子機器として、携帯電話を例にとって説明するが、本発明が適用できる電子機器としては、このほかに、従来の技術の項で述べた各種の電子機器、これらの電子機器を内蔵するテレビジョン装置、TV会議システム、ナビゲーションシステム、監視カメラ装置等がある。

#### 【0035】

図1に示すように、この電子機器は、集積回路100を有する。本形態では、集積回路100は、MPEG (Moving Picture Coding Experts Group) 4に対応した、エンコーダ兼デコーダであるものとする。

#### 【0036】

しかしながら、必要に応じて、集積回路100をエンコーダのみ、あるいは、デコーダのみにすることもできる。

#### 【0037】

例えば、電子機器が、再生専用のDVDプレーヤであるときは、エンコーダの機能を省略しても差し支えないから、集積回路100をデコーダのみとすることができる。

**【0038】**

逆に、電子機器が監視カメラ装置であるときは、集積回路100をエンコーダのみとすることができる。

**【0039】**

集積回路100のビデオ信号処理は、ITU-T (International Telecommunication Union-Telecommunication sector) H. 263、JPEG (Joint Photographic Experts Group) 等に対応するようにしてもよい。

**【0040】**

集積回路100のオーディオ信号処理は、AMR (Adaptive Multi Rate)、ITU-T G. 279、G. 273.1 音声コーデック、MP3 (MPEG-1 Audio Layer 3)、AAC-LC (Advanced Audio Coding-Low Complexity) 等に対応するものとしてもよい。

**【0041】**

なお、図1では、説明を簡単にするため、オーディオ信号は、モノラルであることとするが、他に、ステレオ (2ch)、5.1ch、7.1ch等に拡張してもよい。

**【0042】**

さて、図1に示すように、集積回路100は、その内部にメインバス101を有する。その他、集積回路100の内部に、周辺バス103が設けられており、メインバス101と周辺バス103とは、ブリッジ回路102により接続されている。メインバス101には、第1のメモリに相当する、共用メモリ104が接続される。

**【0043】**

集積回路100は、ビデオ信号を処理するビデオプロセッサ105、オーディオ信号の処理とビットストリームに対する、多重化／分離処理を行うオーディオ・多重分離プロセッサ106、システム全体を制御するシステムプロセッサ10

7とを設けた、マルチプロセッサ構成とする。これらのプロセッサ105、106、107は、メインバス101に接続される。また、ビデオプロセッサ105とオーディオ・多重分離プロセッサ106とは、それぞれ内部にバッファメモリ108、109を有する。

#### 【0044】

ここで、オーディオ・多重分離プロセッサ106は、第1の処理ユニットに相当し、ビデオプロセッサ105は、第2の処理ユニットに相当し、システムプロセッサ107は、制御ユニットに相当する。また、ビデオプロセッサ105は、後に詳述する、画像入力回路13と画像表示回路10とを内蔵する。

#### 【0045】

本形態では、ビデオプロセッサ105に対し、処理負担が軽い、オーディオ信号の処理と多重化／分離処理とを、オーディオ・多重分離プロセッサ106で一括して実行することとしたが、勿論、オーディオ信号の処理を行うプロセッサと、多重化／分離の処理を行うプロセッサとを、独立して設けても差し支えない。

#### 【0046】

また、本形態では、ビデオプロセッサ105は、ビデオ信号の処理だけでなく、コンピュータグラフィックスの生成・編集処理も行うようにした。コンピュータグラフィックスは、ビデオ信号に合成されたり、あるいは、単独で取り扱われる。

#### 【0047】

このようにすると、通常のビデオ信号とコンピュータグラフィックスとを、一括して取り扱えるため、便利である。しかし、コンピュータグラフィックスの処理を行わないようにしてもよい。

#### 【0048】

いずれにしても、ビデオプロセッサ105の処理負担は、オーディオ・多重分離プロセッサ106よりも重い。そのため、集積回路100内部に、専用メモリ110を設け、ビデオプロセッサ105に専用メモリ110を占有させるようにしている。

#### 【0049】

ビデオプロセッサ105は、ビデオ信号の（伸張あるいは圧縮）処理過程で生成される参照画像のデータや、コンピュータグラフィックスの画像データ、あるいは、これらに伴う命令（インストラクション）等を、専用メモリ110に格納したり、読み出したりする。このようなデータ転送は、DMAC（ダイレクト・メモリアクセス・コントローラ）を用いて行ってもよいし、用いなくともよい。

#### 【0050】

即ち、ビデオプロセッサ105が専用メモリ110にアクセスするときは、メインバス101を介さないため、メインバス101の競合により、待ち時間が発生することはない。なお、専用メモリ110は、第2のメモリに相当する。

#### 【0051】

周辺バス103には、第1インターフェイス111、第2インターフェイス112、第3インターフェイス113、第4インターフェイス114が、接続される。第1インターフェイス111には、ビットストリームが入出力され、第2インターフェイス112には、文字或いは数字などのキーセット14の状態情報が入力される。

#### 【0052】

第3インターフェイス113には、AD・DA変換器15が接続され、AD・DA変換器15は、周辺バス103を介してオーディオ・多重分離プロセッサ106に接続される。AD・DA変換器15は、マイク16から入力があると、これをAD変換してオーディオ・多重分離プロセッサ106へ出力する。

#### 【0053】

また、AD・DA変換器15は、オーディオ・多重分離プロセッサ106からオーディオ信号を入力すると、これをDA変換してスピーカ17へ出力し、スピーカ17は、発音する。

#### 【0054】

ここで、スピーカ17は、再生デバイスに相当する。再生デバイスとしては、他にヘッドフォン等を用いてもよい。

#### 【0055】

ビデオプロセッサ105が、専用メモリ110を用いて伸張したビデオ信号に



基づいて、ビデオプロセッサ105の画像表示回路10は、画像表示信号を生成し、これを表示デバイスとしての、LCD11へ出力し、LCD11が画像を表示する。

#### 【0056】

表示デバイスとしては、このほかに、有機EL、ブラウン管、プラズマディスプレイ等を用いてもよい。

#### 【0057】

画像表示回路10は、YUV形式の画像データ、または、RGB形式の画像データを映像に変換する機能を持つ。ビデオプロセッサ105は、専用メモリ110に格納された画像データを、画像表示回路10に転送する。このようなデータ転送は、DMAC（ダイレクト・メモリアクセス・コントローラ）を用いて行ってもよいし、用いなくともよい。

#### 【0058】

一方、カメラ12が撮影を行うと、その出力は、ビデオプロセッサ105の画像入力回路13へ入力され、画像入力回路13がビデオ信号を生成し、ビデオプロセッサ105は、専用メモリ110を用いて、このビデオ信号を圧縮する。

#### 【0059】

画像入力回路13は、映像をYUV形式（輝度信号と色差信号）の画像データに変換する機能、または、RGB形式（赤信号、緑信号、青信号）の画像データに変換する機能、を持つ。このように、映像を画像データに変換することで、ビデオプロセッサ105は、映像を処理することが可能となる。

#### 【0060】

ビデオプロセッサ105は、画像入力回路13が変換した画像データを、専用メモリ110に転送する。このようなデータ転送は、DMAC（ダイレクト・メモリアクセス・コントローラ）を用いて行ってもよいし、用いなくともよい。

#### 【0061】

次に、ビットストリームの入力時の動作を説明する。まず、第1インターフェイス111からビットストリームが入力されると、このストリームは、オーディオ・多重分離プロセッサ106へ入力され、ストリームからオーディオ信号とビ

デオ信号とが、分離される。

#### 【0062】

オーディオ・多重分離プロセッサ106は、分離したビデオ信号を、ビデオプロセッサ105へ転送し、自らは、オーディオ信号の伸張処理を開始する。

#### 【0063】

ビデオ信号を受け取ったビデオプロセッサ105は、専用メモリ110を用いて、ビデオ信号を伸張する。この際、ビデオプロセッサ105は、専用メモリ110を用いるため、アクセスの競合が発生せず、遅延なく伸張を行える。

#### 【0064】

伸張されたビデオ信号は、ビデオプロセッサ105内部の画像表示回路10を経てLCD11に表示される。また、伸張されたオーディオ信号は、オーディオ・多重分離プロセッサ106から周辺バス103、第3インターフェイス113を経て、AD・DA変換器15へ至り、アナログオーディオ信号に変換され、スピーカ17から発音される。

#### 【0065】

次に、ビットストリームの出力時の動作を説明する。まず、カメラ12の撮影と、マイク16の集音が始まると、カメラ12が得た画像は、ビデオプロセッサ105の画像入力回路13へ入力され、画像入力回路13がビデオ信号を生成し、ビデオプロセッサ105は、専用メモリ110を用いてビデオ信号を圧縮する。このときも、ビデオプロセッサ105は、専用メモリ110を用いるため、アクセスの競合が発生せず、遅延なく圧縮を行える。

#### 【0066】

また、マイク16が得たアナログオーディオ信号は、AD・DA変換器15によりデジタルのオーディオ信号に変換され、第3インターフェイス113、周辺バス103を経て、オーディオ・多重分離プロセッサ106へ至る。すると、オーディオ・多重分離プロセッサ106は、これを圧縮する。

#### 【0067】

そして、ビデオプロセッサ105が画像圧縮を終えると、圧縮されたビデオ信号が、オーディオ・多重分離プロセッサ106へ渡され、オーディオ・多重分離

プロセッサ 1 0 6 は、これと、自身で圧縮したオーディオ信号とを、多重化し、周辺バス 1 0 3、第 1 インターフェイス 1 1 1 を介して、多重化されたビットストリームが、外部（記録媒体など）へ出力される。

#### 【0 0 6 8】

以上において、ビデオプロセッサ 1 0 5 は、オーディオ・多重分離プロセッサ 1 0 6 が共用メモリ 1 0 4 を用いて他の処理を行っている間にも、

- ①画像入力回路 1 3 を通して専用メモリ 1 1 0 に格納した画像データの圧縮、
  - ②圧縮されたデータの画像データへの伸張、
  - ③グラフィックス処理による画像データの生成、
  - ④画像データの加工や編集、
- などの処理を、専用メモリ 1 1 0 を用いて、アクセスの競合なく、実行できる。

#### 【0 0 6 9】

これにより、アクセスの競合を抑制し、リアルタイム性を高めることができる。

#### 【0 0 7 0】

##### 【発明の効果】

本発明によれば、処理負担が重い処理ユニットに、第 2 のメモリを占有させることにより、アクセス競合による待ち時間を回避し、リアルタイム性を向上できる。

#### 【0 0 7 1】

アクセスの競合による待ち時間を回避できるため、画像入力時において、映像をスムーズに画像データとしてメモリに取り込める。

#### 【0 0 7 2】

アクセスの競合による待ち時間を回避できるため、画像出力時において、映像をスムーズに表示デバイスへ表示でき、映像表示の途切れや乱れを抑制できる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の一実施の形態における電子機器のブロック図

##### 【図 2】

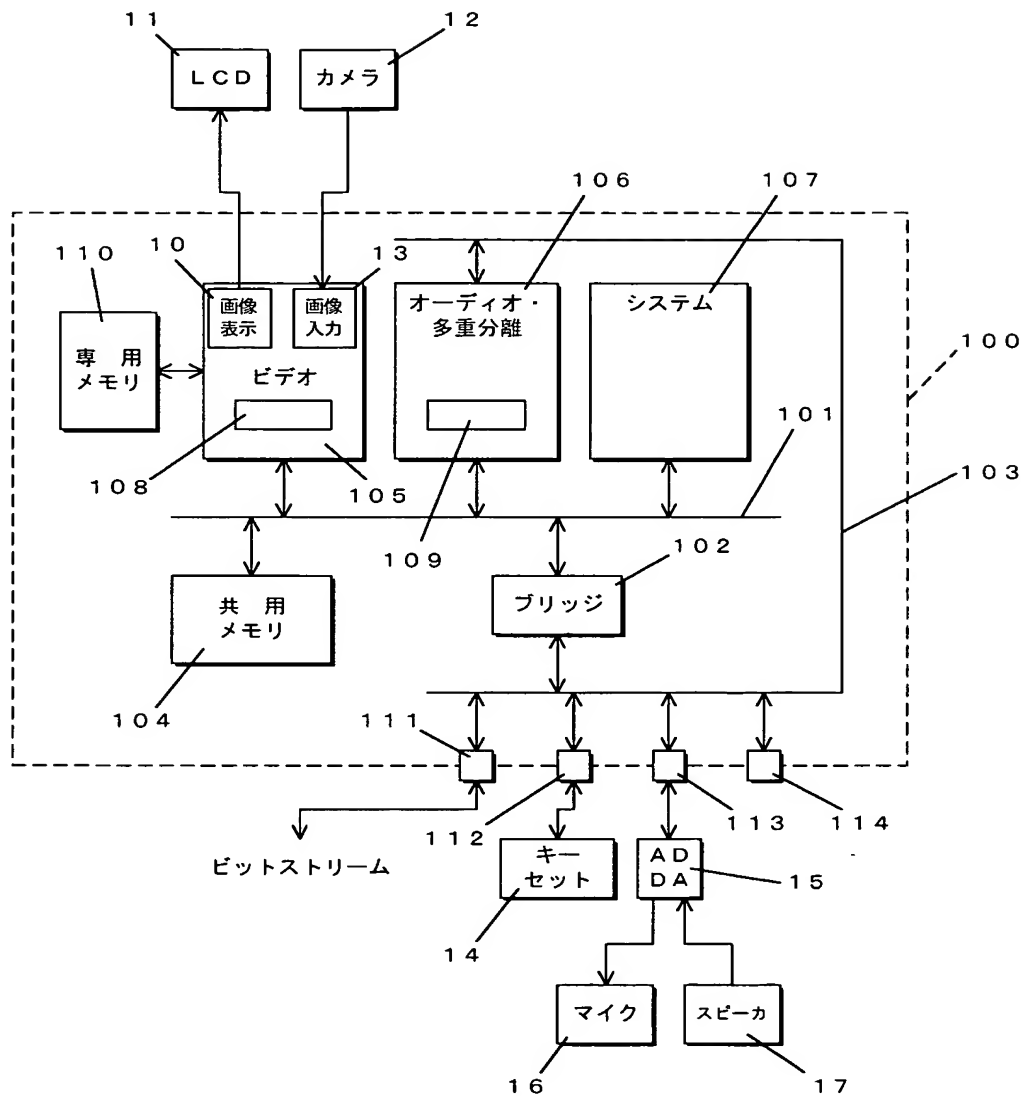
## 従来の集積回路の概略ブロック図

## 【符号の説明】

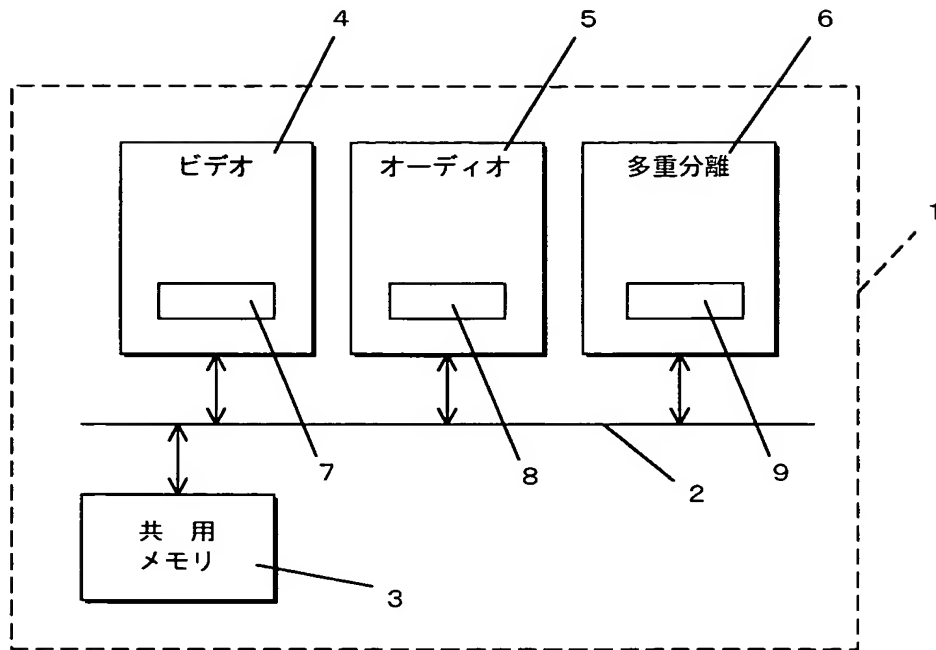
- 1 0 画像表示回路
- 1 1 L C D
- 1 2 カメラ
- 1 3 画像入力回路
- 1 4 キーセット
- 1 5 A D ・ D A 変換器
- 1 6 マイク
- 1 7 スピーカ
- 1 0 0 集積回路
- 1 0 1 メインバス
- 1 0 2 ブリッジ回路
- 1 0 3 周辺バス
- 1 0 4 共用メモリ
- 1 0 5 ビデオプロセッサ
- 1 0 6 オーディオ・多重分離プロセッサ
- 1 0 7 システムプロセッサ
- 1 0 8、1 0 9 バッファメモリ
- 1 1 0 専用メモリ
- 1 1 1 第 1 インターフェイス
- 1 1 2 第 2 インターフェイス
- 1 1 3 第 3 インターフェイス
- 1 1 4 第 4 インターフェイス

【書類名】 図面

【図1】



【図 2】



【書類名】 要約書

【要約】

【課題】 消費電力を抑制しながら、リアルタイム性が得やすい集積回路を提供する。

【解決手段】 集積回路 1 0 0 は、バス 1 0 1 に接続される共用メモリ 1 0 4 と、バスを介して共用メモリにアクセスするオーディオ・多重分離プロセッサ 1 0 6 と、バスを介して共用メモリにアクセスし、かつ、より重い処理を実行するビデオプロセッサ 1 0 5 と、ビデオプロセッサにより、バスを介さずにアクセスされる専用メモリ 1 1 0 を備える。アクセス競合による待ち時間を回避し、リアルタイム性を向上できる。画像入力時にスムーズにデータを取り込め、映像表示の途切れや乱れを抑制できる。

【選択図】 図 1

特願 2 0 0 3 - 0 4 2 4 3 8

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社